

大電流、高周波アプリケーション向けの窒化ガリウム・トランジスタの効果的な並列化



David Reusch 博士、アプリケーション・エンジニアリング部門ディレクタ

窒化ガリウム (GaN) ・ベースのパワー・デバイスは、シリコン (Si) ・パワー MOSFETの能力を超える周波数およびスイッチング速度で動作できるので、急速に採用が進んでいます。このアプリケーション・ノートでは、大電流出力が必要なアプリケーションにおける高速GaNトランジスタの並列化について説明します。ここでは、回路内の寄生成分が特性に及ぼす影響について説明し、高速GaNトランジスタの並列特性を改善するためのプリント回路基板のレイアウト法を提案します。最適化されたレイアウトの4個の並列ハーフブリッジが、35%~100%の負荷で96.5%を超える効率を達成する48 V入力、12 V 出力、480 W、300 kHz、40 Aの単相バック (降圧) ・コンバータとして動作したことを実証します。

パワー・コンバータはすべて、全体的なシステム・コストを削減すると同時に、常に、より大きな出力電力、より高い効率、より高い電力密度、より高い動作温度、そして、より高い信頼性へと方向に向かっていきます。特性を改善するためには、より良いパワー・デバイスが必要になります。シリコン (Si) のパワー・デバイスの場合、技術が成熟し、その理論的境界に近づくにつれて、特性の向上は鈍化してきています。窒化ガリウム (GaN) ・トランジスタは、さまざまな電力変換用途において、シリコン・デバイスの潜在的な代替品として、従来不可能だった新しいアプリケーションを可能にするデバイスとして浮上してきています [1]。

最初に市販されたエンハンスメント・モード窒化ガリウム・トランジスタが2010年に製品化されて以来、eGaN FETは、それ以前に利用可能ないかなる半導体と比べても、極めて小さな実装面積で、極めて低いオン抵抗を備えています。図1に示すように、eGaN FETは、横型のデバイス構造と耐圧範囲15 V~300 Vを備えた最新世代のGaNデバイスでも、この伝統を継承しています。200 Vでは、eGaN FETは、デバイス面積とオン抵抗の積で、最先端の最高のMOSFETの1/9.5という仕様上のオン抵抗を備えています。耐圧100 V、80 V、60 V、40 Vでは、eGaN FETの仕様上のオン抵抗は、最先

端の最高のMOSFETの1/2.4、1/2.2、1/1.6、1/1.05に低減されています。

GaN 技術の初期段階では、理論上の限界から離れており[1]、GaNの改善率は、今後も急速に改善し続けるでしょう。

トランジスタの仕様上のオン抵抗を低減することで、所定の領域で導通できる電流量を増やすことができますが、優れた回路内特性とは直接的な相関はありません。特に、スイッチング損失が支配的な損失メカニズムになることが多い高周波パワー・コンバータの設計では、相関はありません。異なるアプリケーションにおいて、所定のデバイス技術の回路内特性を比較するために、スイッチングの性能指数 (FOM) [2]~[8]が、ほぼ半世紀にわたって使われています。一般的なFOMは、ゲート電荷のFOMです[6]。eGaN FETと最先端のMOSFETに対するゲート電荷のFOMを図2に示します。耐圧200 V、100 V、40 Vでは、eGaN FETの仕様上のオン抵抗は、最先端の最高のMOSFETの1/9、1/5.5、1/1.9に低減されています。ハード・スイッチングのアプリケーション、および、共振やソフト・スイッチングのアプリケーションなど、異なるアプリケーションに適したさまざまなFOMがあります [9]。

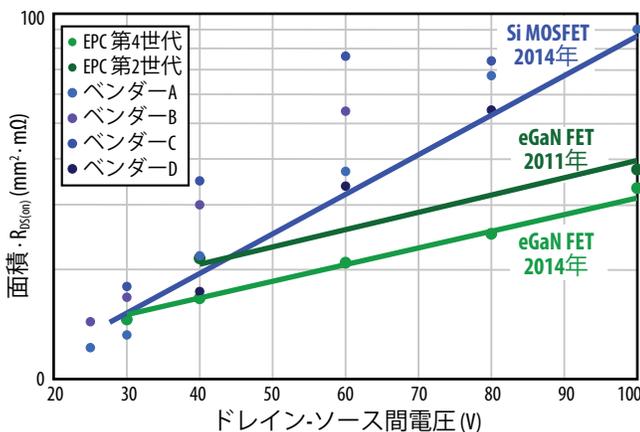


図1：シリコンMOSFETとeGaN FETの仕様上のオン抵抗とブロッキング電圧。

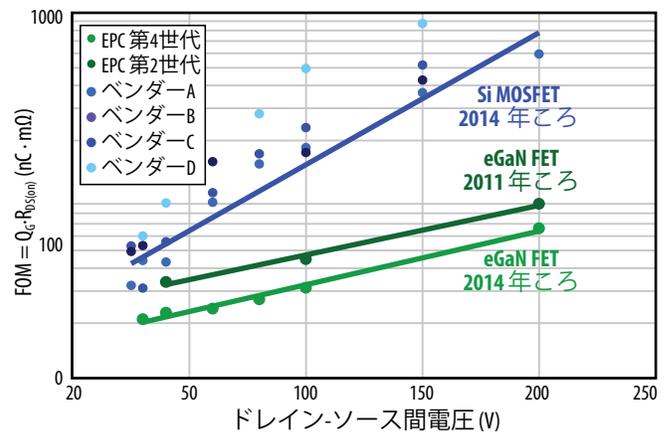


図2：ドレイン-ソース間電圧が定格電圧の半分、ドレイン-ソース間電流が20 AのときのeGaN FETと最先端のSi MOSFETのゲート電荷性能指数FOMの比較。

GaN トランジスタは、すべてのアプリケーションに対して、性能指数FOMがより小さいので広範囲のアプリケーションにおいて、最先端のシリコンMOSFETと比べて、大幅な性能向上につながります [9] ~ [14]。

FOMは、デバイス技術を比較するときに役立つツールですが、回路内の特性は、パッケージの寄生成分とプリント回路基板レイアウトの寄生成分の両方によっても大きく影響されます。このアプリケーション・ノートでは、寄生成分による特性への影響を調べ、大電力用途向けに高速GaN トランジスタの並列化を評価します。48 V入力、12 V出力、480 W、300 kHz、40 Aの単相バック・コンバータとして動作する4つの並列ハーフブリッジについて、GaN トランジスタの並列特性を改善する方法を提案し、実験的に検証します。

特性への寄生成分の影響

実際のアプリケーションにおいて、FOMが小さいことは、高効率化を実現する要因の1つに過ぎません。バック・コンバータでは、図3に示すようにコンバータの特性に大きな影響を与える2つの主な寄生インダクタンスがあります。共通ソース・インダクタンス L_S は、ドレインからソースへの電力電流経路とゲート・ドライバのループで共有されるインダクタンスです。高周波電力ループ・インダクタンス L_{Loop} は、デバイスの転流ループのインダクタンスです。これは、入力容量の正の端子から、上側のデバイス、同期整流器、接地ループ、および入力容量を通る寄生インダクタンスで構成されます。

共通ソース・インダクタンス L_S は、デバイスの駆動速度に直接影響するため、特性にとって重要であることが知られています [15], [16]。共通ソース・インダクタンスが増加すると、実効的なゲート駆動電圧とゲート駆動電流が大幅に減少し、スイッチング速度が遅くなり、式 (1) に示したようにスイッチング損失が増加します。スイッチング遷移に対するインダクタンスの影響は、図4に示す Si MOSFETの波形の寄生 di/dt 電圧バンプの一部として見ることができます。オンした時の利用可能なゲート駆動電流は、次式で与えられます。

$$I_G = \frac{V_{Driver} - V_{GS} - V_{L_S}}{R_G} = \frac{V_{Driver} - V_{GS} - L_S \cdot \frac{di_{DS}}{dt}}{R_G} \quad (1)$$

ここで、 V_{Driver} はゲート駆動電圧、 V_{GS} はデバイスに加わるゲート・ソース間電圧、 V_{L_S} は共通ソース・インダクタンスに加わる実効電圧で、デバイスの電流転流時の $L_S \cdot di_{DS}/dt$ と等しい値です。 R_G は、ドライバの抵抗、内部のパワー・デバイスの抵抗、および外部のゲート・ループ抵抗を含む実効的なゲート抵抗です。

高周波電力ループ・インダクタンス L_{Loop} は、共通ソース・インダクタンスとしてスイッチング速度にペナルティーを科すものではありません

が、依然としてスイッチング特性に負の影響を与えます [17], [18]。高周波ループ・インダクタンスのもう1つの大きな欠点は、次式で与えられ、図4に示すように、スイッチング遷移中に誘起されるドレイン・ソース間のスパイク電圧です。

$$V_{L_{Loop}} = L_{Loop} \cdot \frac{di_{DS}}{dt} \quad (2)$$

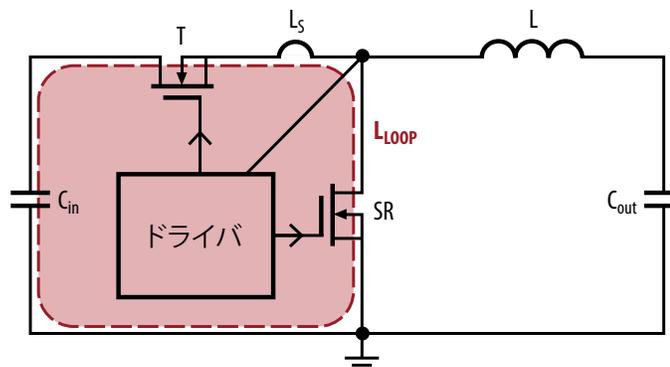


図3：寄生インダクタンスがある同期バック・コンバータ。

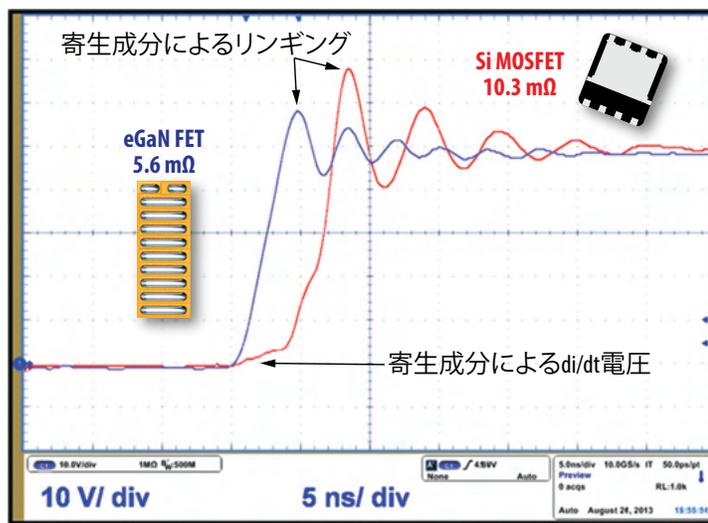


図4：eGaN FETとMOSFETを利用した設計のスイッチング・ノード波形 ($V_{IN} = 48 V$, $I_{OUT} = 10 A$, $f_{sw} = 300 kHz$, GaNトランジスタ : EPC2001, MOSFET : BSZ123N08NS3G)。

A. パッケージの寄生成分

GaNトランジスタのFOMが小さいことから可能な高いスイッチング速度を実現するためには、パッケージとプリント回路基板レイアウトの寄生成分を小さくしなければなりません。このサブセクションでは、GaNトランジスタとSi MOSFETのデバイス・パッケージを比べます。

トレンチ構造のSi MOSFETの場合、ゲート端子およびソース端子と、ドレイン端子は、デバイスの反対側に配置されます。これによって、デバイスをプリント回路基板に接続するために、ソースとゲート、またはドレインのいずれかから外部接続しなければならず、特性を制限するパッケージの寄生成分が生じます。Si デバイスの最も一般的なパッケージの1つであるLFPAK (Loss Free Package) を図5に示します。LFPAKは、ソース端子とゲート端子をプリント回路基板に接続するために、外部のリード・フレームを使います。LFPAKのソース接続は、共通ソース・インダクタンスだけで0.5 nHを超え、Si MOSFETパワー・デバイスの回路内特性を低下させます [11]。

ランド・グリッド・アレイ (LGA) のパッケージに収めた横型構造の高耐圧GaNトランジスタは、図6に示すように、すべての接続がチップの同じ側に配置されているため、パッケージ上の大きな利点があり、寄生成分の大きい複雑なパッケージが必要ありません。LGA封止のGaNトランジスタは、パッケージ全体のインダクタンスが0.2 nH未満と見積もられており、Si MOSFETパッケージよりも大幅に低くなっています。[10] では、GaNトランジスタのLGAパッケージの影響と、入手可能な最高のトレンチ・デバイスを下回るパッケージの寄生のインダクタンスと抵抗の低減は、定量化されています。

B. プリント回路基板の寄生成分

より高いスイッチング速度と、より小さいパッケージの寄生インダクタンスによって、プリント回路基板のレイアウトがコンバータ特性の制限要因になります。低減すべき最も重要な寄生成分は、共通ソース・インダクタンスです。これは、高周波の電カーループとゲート・ドライバのループによって共有されるインダクタンスです。プリント回路基板のレイアウトによって追加される共通ソース・インダクタンスを最小限に抑えるには、ゲート・ドライバのループと高周波の電カーループの相互作用が非常に小さくなるように配置してください。レイアウト例を図7に示します。ここでは、赤色で示されたゲート駆動ループと黄色で示された高周波ループがGaNトランジスタのすぐ隣でだけ相互作用し、GaNトランジスタのパッケージが実現するパッケージ内部の超低インダクタンスによって共通ソース・インダクタンスを最小限に抑えています。

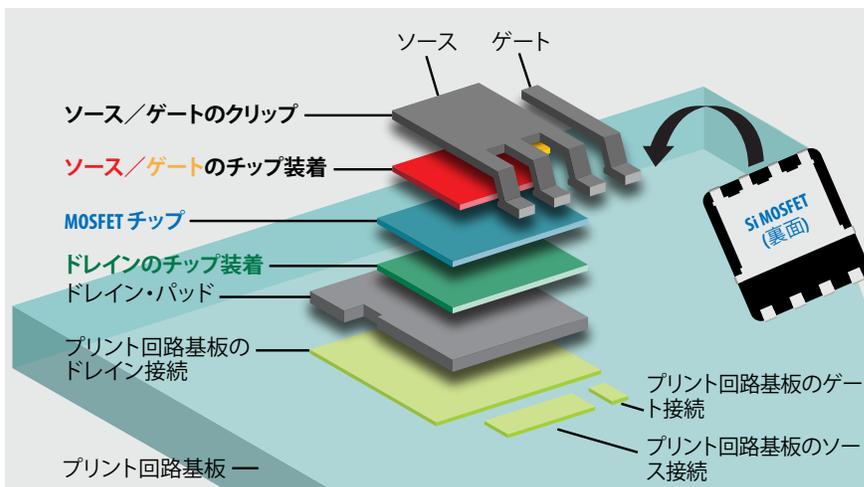


図5 : Si MOSFETのLFPAK (Loss Free Package) の分解図。

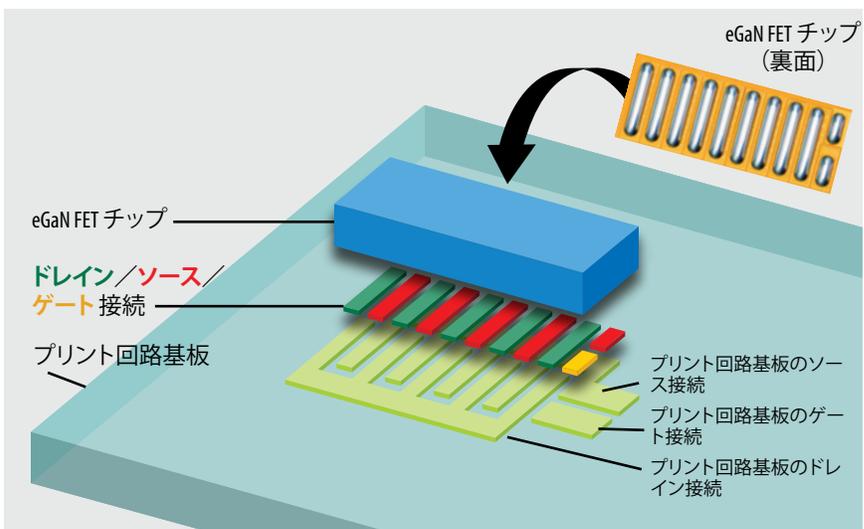


図6 : eGaN FETのランド・グリッド・アレイ・パッケージ (LGA) の分解図。

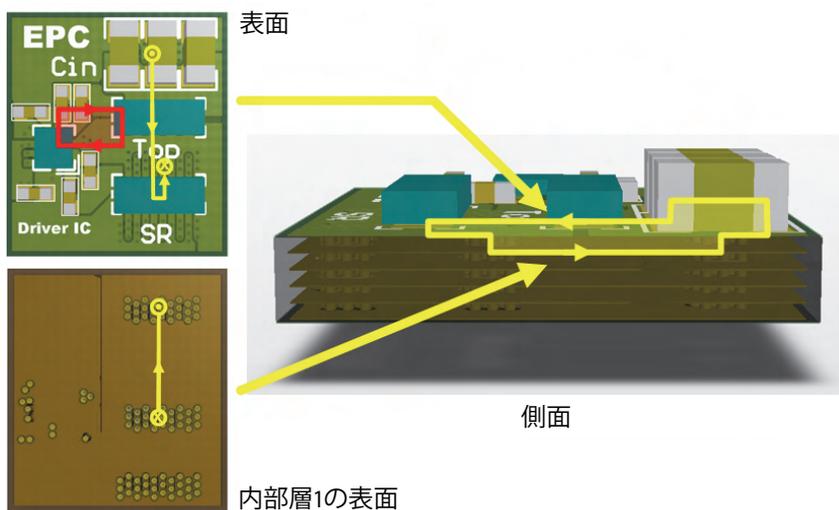


図7 : eGaN FETの表面図、内部層1の表面図、側面図と最適電カーループ。

従来の設計よりも高周波ループ・インダクタンスを低減するために、図7の左下に示す第1の内部層を電力ループの戻り経路として利用する最適レイアウトが開発されました。この戻り経路は、図7の左上に示されている表面層の電力ループ経路の真下に配置し、物理的に最小のループ・サイズが可能になり、磁場の自己相殺を実現できます。図7に示す側面図は、多層プリント回路基板内に、高さが低い磁界の自己相殺ループを形成したときの概念を示しています。GaNベースのハーフブリッジ設計では、EPCによって開発された最適レイアウトを使うことによって、0.4 nH 未満の高周波ループ・インダクタンスが得られ、Si MOSFETと比べて、GaNトランジスタの回路内特性をさらに向上させました。

より小さいFOM、より寄生成分が小さいパッケージ、より寄生成分が小さいプリント回路基板レイアウトの組み合わせで、GaNトランジスタは、最先端のSi技術を大幅に上回る特性上のメリットをもたらします。GaNトランジスタは、図4に示すように、小型、低オン抵抗のデバイスなので、スイッチング速度を向上させることができます。したがって、回路設計者は、動的なスイッチング損失と静的な導通損失を低減できるので、デバイスの損失を大幅に低減でき、システム効率を高められます。

高速GaNトランジスタの並列特性の向上

前のセクションでは、1個のGaNトランジスタで強化された特性を実証しました。多くのアプリケーションでは、より大きな電流が必要になります。このセクションでは、大出力電流の用途で高効率化を実現するために、GaNトランジスタの並列接続の可能性を評価します。

A. 高速GaNトランジスタ並列化の課題

デバイスを並列接続する目的は、オン抵抗が高い複数のデバイスを組み合わせて、1個の低オン抵抗のデバイスと見なして動作させ、高い電力処理能力を実現することです。デバイスを効果的に並列化するために、各デバイスが電流を動的に等しく共有し、定常状態で、スイッチングに関連する損失を等しく分担しなければなりません。並列デバイス間に不均一な回路内寄生成分があると、不均一な分配と電気的、熱的特性の劣化を招き、デバイス並列化の効果を制限します[19]。GaNトランジスタのような高速デバイスの場合、スイッチング速度を高速化すると、寄生成分のミスマッチの影響が増幅されます[20]。

前のセクションでは、共通ソース・インダクタンスと高周波ループ・インダクタンスの最小化の重要性を取り上げました。GaNトランジスタを並列化するために、これらの寄生成分は、最高の特性を実現するために最小限に抑え込むだけでなく、適切な並列動作を保証するためにバランスをとる必要があります。共通ソースと高周波ループの間のインダクタンスの差が並列ハーフブリッジの間で大きくなると、動的な電流差も増加します：

$$I_{DIFF} = \frac{I_{SW1} - I_{SW2}}{I_{SW1} + I_{SW2}} \quad (3)$$

ここで、 I_{DIFF} は、並列接続した2つのGaNハーフブリッジ間の動的電流差であり、 I_{SW1} と I_{SW2} は、スイッチング遷移の後に出力電流 (I_{OUT}) が到達したときの並列トランジスタにおけるそれぞれの電流です。

電流の分割に対する寄生成分の影響を評価するために、LTSPICEで耐圧100 VのEPC2001のモデルを使ってシミュレーションを作成しました。図8は、48 V入力で、さまざまな共通ソース・インダクタンスを備えた2つの並列接続したGaNハーフブリッジ（公称ドレイン・インダクタンス ($L_D = L_{Loop} - L_S$) を0.3 nHに設定し、ハーフブリッジのペアの1つだけを増加)の高周波ループ・インダクタンスの寄生成分の不均一によって電流分割が劣化する様子を示しています。ここでは、共通ソース・インダクタンスは、並列ハーフブリッジの両方で同じに保たれていました。図8から、共通ソース・インダクタンスが小さくなるにつれて、電流分割の問題がより顕著になることも分かります。より小さい共通ソース・インダクタンス値で電流分割問題が大きくなることは、より高いスイッチング速度において生じます。電流分割が並列デバイス間で悪化するにつれて、電気的、熱的な特性が次のセクションで示すように劣化します。

48 V入力において、さまざまな高周波ループ・インダクタンスで動作する2つの並列接続したGaNハーフブリッジの共通ソース・インダクタンスの寄生成分の不均一に起因する電流分割差を図9に示します（公称の共通ソース・インダクタンスは0.1 nHに設定され、ハーフブリッジのペアの1つだけを増加させ、ドレイン・インダクタンスは、並列ハーフブリッジに対して両方とも同じに保持）。ループ・インダクタンスの不均一と同様に、共通ソース・インダクタンスが変化すると、電流分割は悪化します。この傾向は、ループ・インダクタンスが減少し、可能なスイッチング速度が増加するにつれて拡大します。

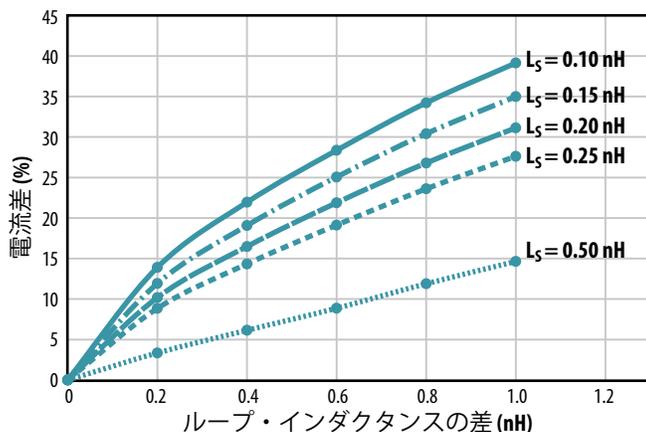


図8: さまざまな共通ソース・インダクタンスに対して、並列に動作する2つのハーフブリッジを備えた $V_{IN} = 48$ V、 $I_{OUT} = 25$ AのGaNベース単相バック・コンバータにおけるデバイスの動的電流分割に対する高周波ループ・インダクタンスの不均一の影響 (GaNトランジスタ: EPC 2001)。

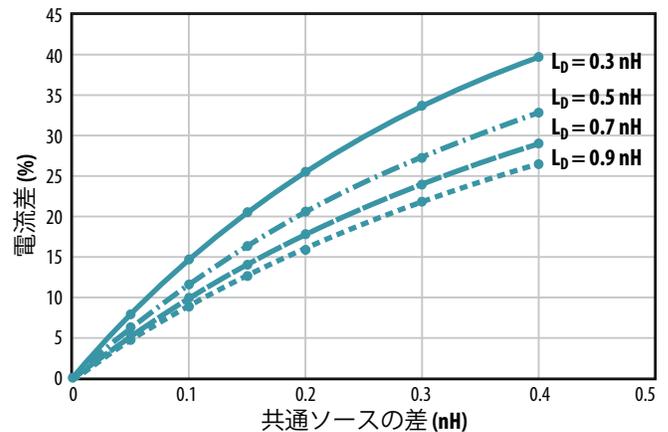


図9: さまざまな高周波ループ・インダクタンスに対して、並列に動作する2つのハーフブリッジを備えた $V_{IN} = 48$ V、 $I_{OUT} = 25$ AのGaNベース単相バック・コンバータにおけるデバイスの動的電流分割に対する共通ソース・インダクタンスの不均一の影響 (GaNトランジスタ: EPC 2001)。

B. 並列トランジスタのプリント回路基板レイアウトの最適化

スイッチング速度が着実に高速化し、寄生インダクタンスが減少し続けると、並列特性を向上させるために、改良された技術を開発する必要があります。高速GaNトランジスタを効果的に並列化するためには、プリント回路基板レイアウトが原因の寄生成分の不均一を最小限に抑えなければなりません。前のセクションで説明した最適レイアウトに基づいた2つの異なる並列レイアウトを検討し、最適化された単一トランジスタ設計と同様の並列特性を実現する能力を評価します。各ハーフブリッジ設計には、上側スイッチ (T_{1-4}) と同期整流器 (SR_{1-4}) 用の各4個のデバイスが並列に搭載されており、スイッチング周波数 300 kHzで48 V入力、12 V出力の単相バック・コンバータ構成でテストしました。全体として、最大出力電力 480 W、最大出力電流40 Aを実現するために、TI社の1個のゲート・ドライバLM5113と8個の100 VのGaNトランジスタEPC2001を使いました。

並列設計を図10に示します。図10 (a) に示されている第1の設計では、4個のGaNトランジスタが近接して配置されており、単一の高周波電力ループで、「1個」のパワー・デバイスとして動作します。このレイアウトの欠点は、ループ・サイズが大きくなることによって高周波ループ・インダクタンスが増加し、個々の電力ループが異なるために、各デバイスが不均一な寄生成分を持つことです ($L_{loop} \approx 1.7 \sim 2.6 \text{ nH}$)。すなわち、電流の共有と熱の問題につながります。図10 (b) に示す第2の設計は、1個のゲート・ドライバLM5113の周りに対称に配置された4つの分散型高周波電力ループを採用しています。この設計は、各デバイス・ペアの全体的な寄生成分が最も小さく ($L_{loop} \approx 0.4 \text{ nH}$)、最も重要なことは、寄生成分の均一性が最適なので、適切な並列動作を確実なものにします。

この2つの設計の同期整流器のスイッチング遷移の電圧波形も図10に示しました。単一の高周波電力ループ設計におけるスイッチング・ノードの波形が図10 (a) で、最も内側と最も外側のデバイスの電圧遷移のスイッチング時間差は、ほぼ2 nsであり、これは、全スイッチング時間の約25%に相当します。この電圧差は、このプリント回路基板レイアウトにおける寄生成分の不均一を示しています。単一高周波ループ設計では、2つのデバイスとも、個々の高周波ループ・インダクタンスが大きいほど、大きな電圧オーバーシュートを示します。これらのデバイスも、寄生成分の不均一によって、異なる電圧オーバーシュートを示します。

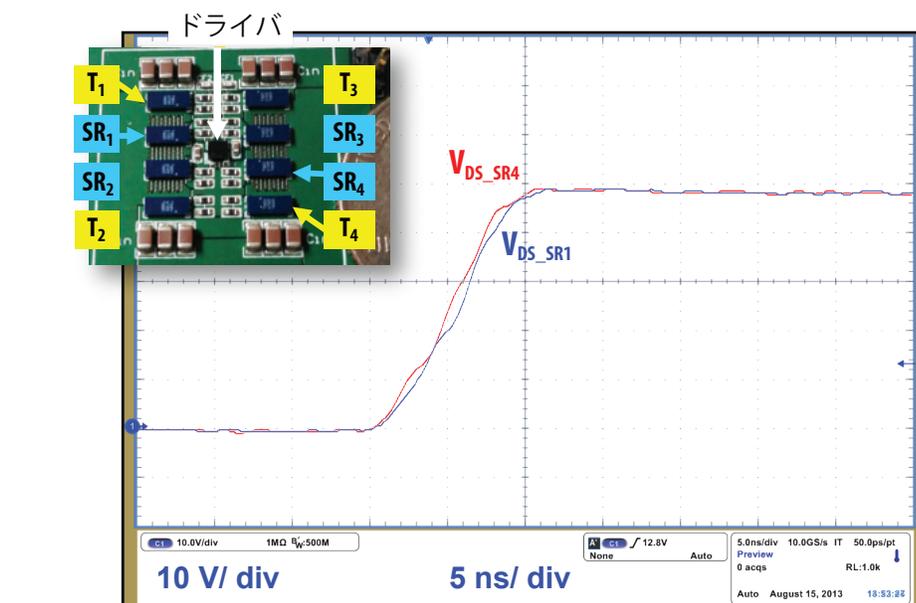
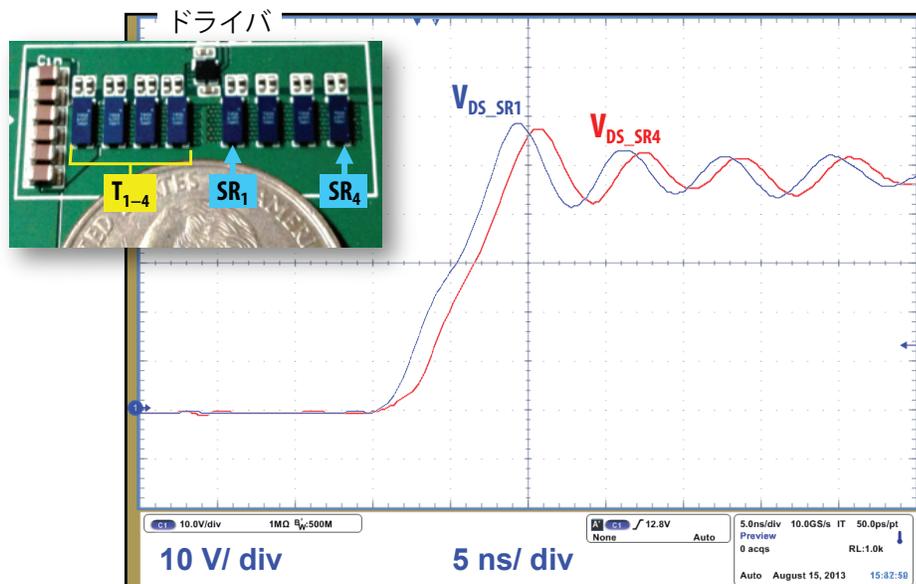


図10: 4つの並列GaNハーフブリッジのレイアウト、および1つの高周波電力ループ (a) と4つの分散型高周波電力ループ (b) のスイッチング・ノード波形 ($V_{IN} = 48 \text{ V}$, $V_{OUT} = 12 \text{ V}$, $I_{OUT} = 30 \text{ A}$, $f_{sw} = 300 \text{ kHz}$, GaNトランジスタ T/SR : EPC2001)。

4つの対称な高周波電力ループ設計に対するスイッチ・ノードの波形を図10 (b) に示します。デバイスの電圧遷移は、ほぼ同じです。このレイアウトでは、寄生成分のバランスを十分にとれることが分かります。分散された高周波電力ループのレイアウトでは、電圧オーバーシュー

とも低減し、個々の高周波ループ・インダクタンスを低減する効果があります。このバランスのとれたレイアウトは、より良い電氣的、熱的特性を実現することによって、全体の特性を向上させます。

2つの並列設計の熱に対する評価を図11に示します。図11 (a) に示したように、単一高周波ループ設計では熱の不均一が明らかです。この場合、熱のスポットは、寄生成分の不均一の結果として、電力の大部分を扱うデバイスの上に生じます。入力コンデンサに最も近い上側スイッチ T_1 は、入力コンデンサから最も離れた上側スイッチ T_4 よりも10°C以上高い最高温度になります。図11 (b) に示す4つの分散型電力ループ設計では、熱のバランスが非常に良く、デバイス間の温度差は無視できます。プリント回路基板上の最も損失が大きい上側デバイスへの集中を避けることによって、熱の分布も良好になります。

個別の寄生成分を低減し、寄生成分のバランスを改善することによって、分散型の4つの高周波ループ設計は、より効率的なスイッチングと並列化が実現できます。これによって、図12に示すように、より良い電氣的、熱的な特性が得られます。分散型高周波ループ設計は、40 Aで効率が0.2%向上し、最大デバイス温度がほぼ一定に10°C低下します。48 V入力、12 V出力、480 W、300 kHz、40 Aの単相バック・コンバータとして動作する改善された4つの並列ハーフブリッジのレイアウトは、35%~100%の負荷において96.5%以上の効率を達成しました。このアプリケーション・ノートで説明した効果的な並列化の方法によって得られるより大きな電力処理能力と組み合わせると、スイッチング周波数を高くできるGaNトランジスタの能力によって、高周波で大出力電流を必要とする新しい用途の模索が可能になります。

1個のGaNトランジスタ、2つの並列トランジスタ、および、4つの並列トランジスタを搭載した最適なプリント回路基板設計のスイッチング波形が図13です。スイッチング・サイクル全体を見ると、図13 (a) に示すように、スイッチング速度の差は分かりません。大電流用途向けに高いスイッチング速度が得られる並列GaNトランジスタの能力を実証しています。図13 (b) から、スイッチングの立ち上がり時間の拡大図を見ると、並列設計は、並列化したデバイスの数に比例してスイッチング速度が遅くなり、単一で、より大きく、より低抵抗なデバイスとして効率的に動作します。

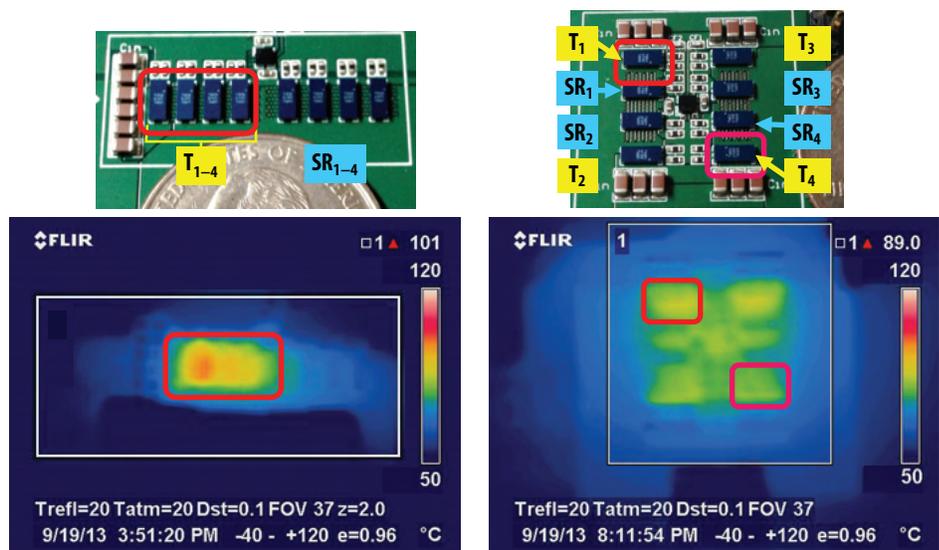


図11：単一の高周波電力ループ (a) と4つの分散型高周波電力ループ (b) を使った並列GaNハーフブリッジのレイアウトの熱測定 ($V_{IN} = 48 \text{ V}$, $V_{OUT} = 12 \text{ V}$, $I_{OUT} = 30 \text{ A}$, $f_{sw} = 300 \text{ kHz}$, $L = 3.3 \mu\text{H}$, GaNトランジスタT/SR: 100 VのEPC2001、ファン速度：200 LFM)。

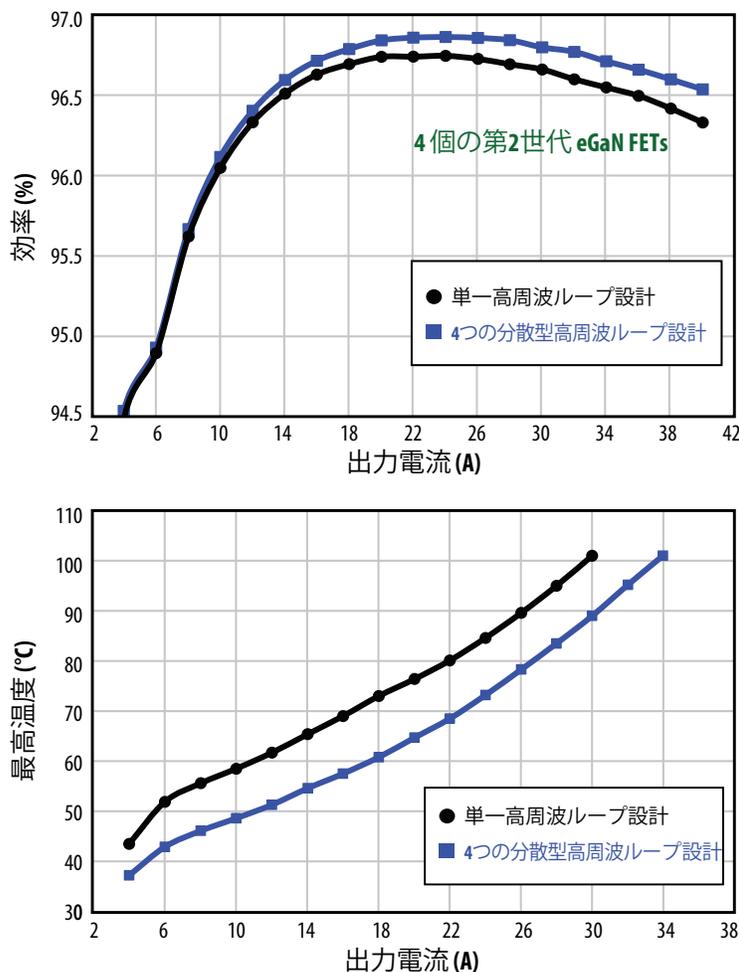


図12：並列GaNハーフブリッジの従来設計と提案した設計の効率 (上の図) と最高温度の比較 (下の図) ($V_{IN} = 48 \text{ V}$, $V_{OUT} = 12 \text{ V}$, $f_{sw} = 300 \text{ kHz}$, $L = 3.3 \mu\text{H}$, GaNトランジスタT/SR: EPC2001)。

結論

高性能GaNトランジスタの導入は、従来のSi MOSFET技術で可能なよりも、高い周波数と高い効率でスイッチングできる可能性があります。改善された性能指数FOMと低い寄生成分のパッケージとを組み合わせたGaNトランジスタは、デバイスの能力を完全に活用するために、プリント回路基板のレイアウトの寄生成分を小さくしなければなりません。このアプリケーション・ノートでは、パッケージやレイアウトの寄生成分が回路内の特性に及ぼす影響を取り上げ、最適化されたレイアウトについて議論し、GaNトランジスタの潜在的な能力を一段と向上させました。さらに、高速、低寄生成分のデバイスの並列化時に直面する課題に対処し、改良された並列技術を提案することによって、大電流出力のアプリケーション向けにGaNトランジスタを並列化したときの能力を評価しました。提案した設計方法の実験的検証のために、最適化されたレイアウトの4つの並列ハーフブリッジが、48 V入力、12 V出力、480 W、300 kHz、40 Aの单相バック・コンバータとして動作し、35%から100%の負荷において効率96.5%以上が得られました。

提案した設計は、従来の並列方法と比べて優れた電氣的、熱的な特性が得られ、高速GaNトランジスタをより大きな電流で動作させるために、効率的に並列化できることを実証しました。

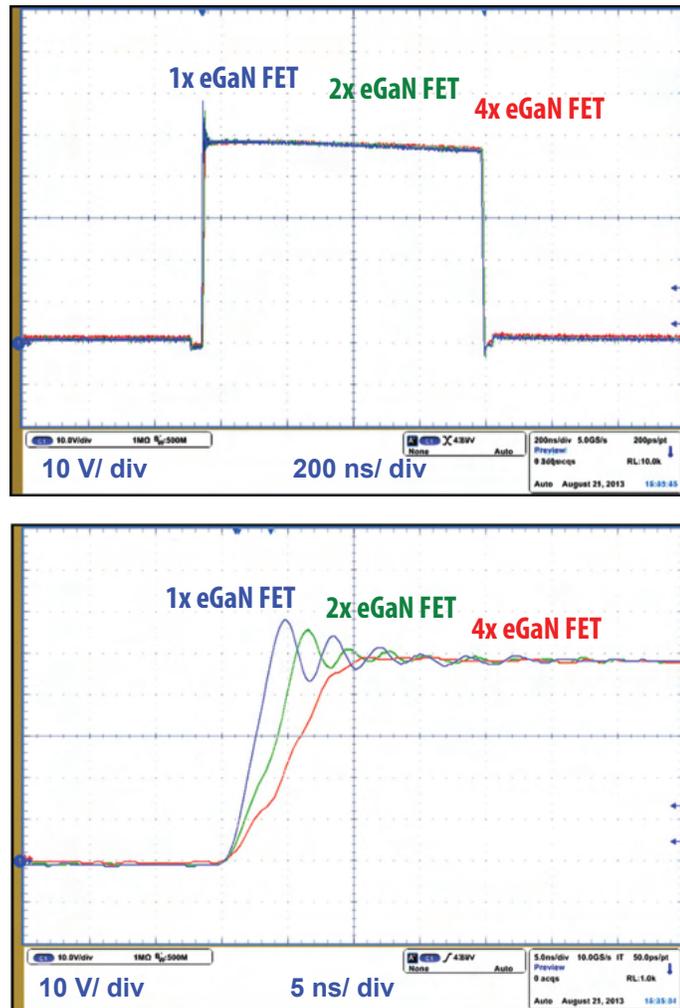


図13：(a) 1、2、4個の並列GaNハーフブリッジのスイッチ・ノード波形と、(b) その拡大図
 $(V_{IN} = 48 \text{ V}$ 、 $V_{OUT} = 12 \text{ V}$ 、 $I_{OUT} = 30 \text{ A}$ /GaN FETの数、 $f_{sw} = 300 \text{ kHz}$ 、
 GaN FET T/SR: 100 Vの EPC2001)。

参考文献 :

- [1] A. Lidow, J. Strydom, M. de Rooij, D. Reusch, *GaN Transistors for Efficient Power Conversion*, Second Edition, Wiley, 2014.
- [2] E. O. Johnson, "Physical Limitations on Frequency and Power Parameters of Transistors," RCA, pp. 163-177, 1965.
- [3] R. W. Keyes, "Figure of Merit for Semiconductors for High-Speed Switches," *Proc. IEEE*, p. 225, 1972.
- [4] B. J. Baliga, "Semiconductors for High-Voltage, Vertical Channel FET's," *J. Appl. Phys.* vol. 53, pp. 1759-1764, 1982.
- [5] B. J. Baliga, "Power Semiconductor Device Figure-of-Merit for High Frequency Applications," *IEEE Electron Device Letters*, vol. 10, pp. 455-457, 1989.
- [6] I. J. Kim, S. Matsumoto, T. Sakai, and T. Yachi, "New Power Device Figure-of-Merit for High Frequency Applications," in *Proc. Int. Symp. Power Semiconductor Devices ICs*, Yokohama, Japan, 1995, pp. 309-314.
- [7] A. Q. Huang, "New Unipolar Switching Power Device Figures of Merit," *IEEE Electron Device Letters*, vol. 25, pp. 298-301, 2004.
- [8] Y. Ying, "Device Selection Criteria----Based on Loss Modeling and Figure of Merit," Thesis of Master of Science in Electrical Engineering of Virginia Tech, 2008.
- [9] D. Reusch and J. Strydom, "Evaluation of Gallium Nitride Transistors in High Frequency Resonant and Soft-Switching DC-DC Converters," *Applied Power Electronics Conference and Exposition (APEC)*, pp. 464-470, 2014.
- [10] D. Reusch, D. Gilham, Y. Su, and F. C. Lee, "Gallium Nitride Based 3D Integrated Non-Isolated Point of Load Module," *Applied Power Electronics Conference and Exposition (APEC)*, pp. 38-45, 2012.
- [11] S. Ji, D. Reusch, and F. C. Lee, "High Frequency High Power Density 3D Integrated Gallium Nitride Based Point of Load Module," *Energy Conversion Congress and Exposition (ECCE)*, pp.4267-4273, 2012.
- [12] M. A. de Rooij, "eGaN FET based Wireless Energy Transfer Topology Performance Comparisons", *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM - Europe)*, pp. 610 - 617, 2014.
- [13] J. Strydom, D. Reusch, "Design and Evaluation of a 10 MHz Gallium Nitride Based 42 V DC-DC Converter," *Applied Power Electronics Conference (APEC)*, pp. 1510-1516. 2014.
- [14] D. Cucak, M Vasić, O Garcia, J.A. Oliver, P. Alou, J.A. Cobos, "Application of eGaN FETs for highly efficient Radio Frequency Power Amplifier," *Integrated Power Electronics Systems, CIPS 2012*, pp.1-6, 2012.
- [15] B. Yang, J. Zhang, "Effect and utilization of common source inductance in synchronous rectification," *Applied Power Electronics Conference and Exposition (APEC)*, pp. 1407-1411, 2005.
- [16] M. Pavier, A. Woodworth, A. Sawle, R. Monteiro, C. Blake, and J. Chiu, "Understanding the effect of power MOSFET package parasitic on VRM circuit efficiency at frequencies above 1 MHz," *PCIM Europe*, pp. 279-284, 2003.
- [17] T. Hashimoto, T. Kawashima, T. Uno, Y. Satou, N. Matsuura, "System in package with mounted capacitor for reduced parasitic inductance in voltage regulators," *Applied Power Electronics Conference and Exposition (APEC)*, pp.187-191, 2008.
- [18] D. Reusch and J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High Frequency Gallium Nitride Based Point of Load Converter," *Applied Power Electronics Conference (APEC)*, pp.649-655, 2013.
- [19] J. B. Forsythe, "Paralleling of Power MOSFETs for High Power Output," *International Rectifier Application Note*.
- [20] Y. F. Wu, "Paralleling High-speed GaN Power HEMTs for Quadrupled Power Output," *Applied Power Electronics Conference and Exposition (APEC)*, pp.211-214, 2013.